

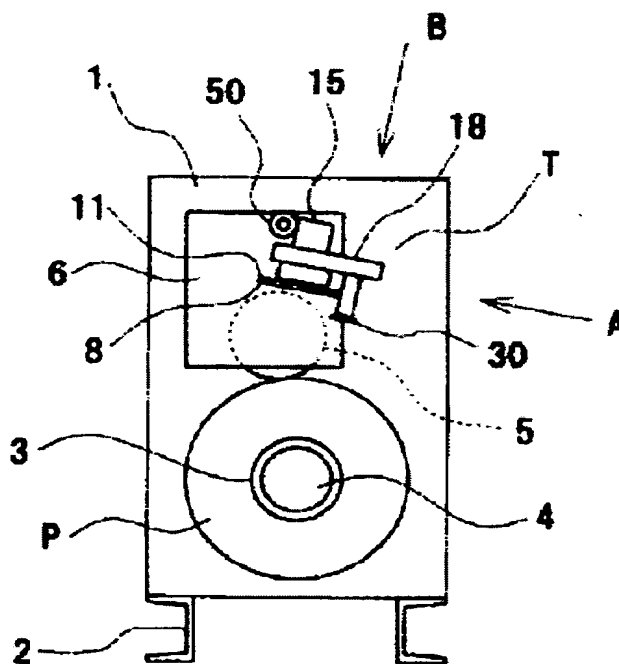
TRAVERSING APPARATUS FOR YARN

Patent number: JP2001261235
Publication date: 2001-09-26
Inventor: SUGIOKA TAKAMI; SAKAI HIROSHI; ISHIMARU NORIKI; KUMADA TOSHIYUKI
Applicant: TEIJIN SEIKI CO LTD
Classification:
- international: B65H54/28
- european:
Application number: JP20000075157 20000317
Priority number(s):

Abstract of JP2001261235

PROBLEM TO BE SOLVED: To provide a traversing apparatus for a yarn capable of attaining high thread guarding efficiency to a traversing device and easily guarding a thread during high speed winding.

SOLUTION: In this traversing apparatus for a yarn having guides 8, 11 rotated in the reverse directions, the yarn Y carried to the traverse end by one guide is delivered to the other guide, a first traversing device for traversing the yarn is disposed on the upstream of a contact roller 5, and a second traversing device 30 for receiving the yarn carried to the traverse end by the first traversing device and carrying the same from the traverse central direction toward the traverse end is disposed between the first traverse device and a point of contacting between the yarn carried by the first traverse device and the contact roller. The second traverse device is disposed opposite to the first traverse device with the traversing yarn interposed between them.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-75157

(P2000-75157A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 B 6/13		G 0 2 B 6/12	M 2 H 0 4 7
G 0 2 F 1/025		G 0 2 F 1/025	2 H 0 7 9
H 0 1 S 5/30		H 0 1 S 3/18	5 F 0 7 3

審査請求 有 請求項の数12 O L (全 11 頁)

(21) 出願番号 特願平10-243299

(22) 出願日 平成10年8月28日 (1998.8.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 阪田 康隆

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

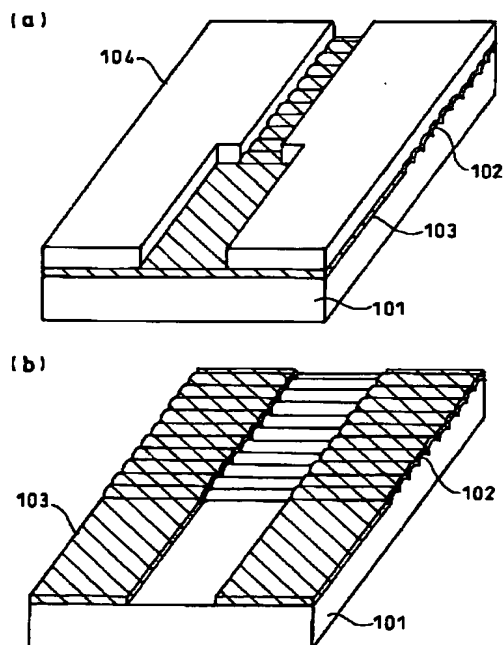
最終頁に続く

(54) 【発明の名称】 半導体光導波路構造及びその製造方法

(57) 【要約】

【課題】 回折格子が部分的に形成された半導体基板あるいは半導体層上へ、選択MOVPE成長法によって直接形成された半導体光導波路において、回折格子形成領域上とそれ以外の領域上とにおいて導波路幅に不連続性がない半導体光導波路を採用し、低しきい値、高効率、超長距離伝送可能な電界吸収型光変調器集積DFBレーザを実現する。

【解決手段】 半導体基板上へ誘電体マスクをパターニングする場合、回折格子が形成されている領域ではフォトレジストの密着性が弱いためにサイドエッチングが大きく、部分回折格子境界部でマスク幅や開口幅に不連続性が発生するので、回折格子形成領域及びそれ以外の領域におけるサイドエッチング量の差を補正するように、フォトレジストマスク幅、開口幅を回折格子形成領域とそれ以外の領域とで異なるものとする。



【特許請求の範囲】

【請求項1】 半導体層上において回折格子が形成された回折格子形成領域とそれ以外の非形成領域とに跨がって形成される光導波路を含む半導体光導波路構造であって、前記回折格子形成領域における光導波路の幅と前記非形成領域における光導波路の幅とが等しいことを特徴とする半導体光導波路構造。

【請求項2】 前記半導体層上における前記光導波路が〔011〕方向に平行であり、かつ導波路側面が(111)B面であることを特徴とする請求項1に記載の半導体光導波路構造。

【請求項3】 前記光導波路は、回折格子形成領域と非形成領域との間でマスク開口幅に不連続が存在しない誘電体マスクを用い、該マスクの開口領域に対する選択成長法によって形成されることを特徴とする請求項1又は2記載の半導体光導波路構造。

【請求項4】 前記選択成長法は、有機金属気相成長法であることを特徴とする請求項3記載の半導体光導波路構造。

【請求項5】 前記光導波路は、回折格子形成領域と非形成領域との間でマスク幅に不連続が存在しない誘電体マスクに対する選択エッチングにより形成されることを特徴とする請求項1又は2記載の半導体光導波路構造。

【請求項6】 前記光導波路は、3族の元素を少なくとも1種類用い、かつ、5族の元素を少なくとも1種類用いて形成されていることを特徴とする請求項1～5のいずれかに記載の半導体光導波路構造。

【請求項7】 一部領域に回折格子が形成された半導体層上へ誘電体膜を形成する工程と、この形成された誘電体膜上に、前記回折格子が形成された領域上のマスク開口幅が、それ以外の非形成領域上のマスク開口幅よりも狭いストライプ状のフォトリソマスクを形成する工程と、前記フォトリソマスクを用いてエッチングによりストライプ状誘電体膜を形成する工程とを含み、前記ストライプ状誘電体膜をマスクパターンとして用いた選択成長法によって光導波路に相当する半導体構造を形成することを特徴とする半導体光導波路構造の製造方法。

【請求項8】 前記回折格子が形成された領域上のマスク開口幅とそれ以外の非形成領域上のマスク開口幅との差が、前記回折格子が形成された領域におけるサイドエッチング量とそれ以外の非形成領域におけるサイドエッチング量との差に等しいことを特徴とする請求項7記載の半導体光導波路構造の製造方法。

【請求項9】 前記選択成長法は、有機金属気相成長法であることを特徴とする請求項7又は8記載の半導体光導波路構造の製造方法。

【請求項10】 一部領域に回折格子が形成された半導体層上へ誘電体膜を形成する工程と、この形成された誘電体膜上に、前記回折格子が形成された領域上のマスク

幅が、それ以外の非形成領域上のマスク幅よりも広いストライプ状のフォトリソマスクを形成する工程と、前記フォトリソマスクを用いてエッチングによりストライプ状誘電体膜を形成する工程とを含み、前記ストライプ状誘電体膜をマスクパターンとして用いたエッチングによって光導波路に相当する半導体メサ構造を形成することを特徴とする半導体光導波路構造の製造方法。

【請求項11】 前記回折格子が形成された領域上のマスク幅とそれ以外の領域上のマスク幅との差が、前記回折格子が形成された領域におけるサイドエッチング量とそれ以外の領域におけるサイドエッチング量との差に等しいことを特徴とする請求項10記載の半導体光導波路構造の製造方法。

【請求項12】 前記光導波路は、3族の元素を少なくとも1種類用い、かつ、5族の元素を少なくとも1種類用いて形成されていることを特徴とする請求項7～11のいずれかに記載の半導体光導波路構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体光導波路構造及びその製造方法に関し、特に半導体基板上又は半導体層（以下半導体層と呼ぶが、半導体基板をも意味するものとする）上の半導体光導波路の構造及びその製造方法に関する。

【0002】

【従来の技術】一般に、光半導体装置においては、半導体層の導波路方向の一部領域に回折格子を形成する。この回折格子が形成されている半導体層上へ、フォトリソとウエットエッチングによりSiO₂等の誘電体膜をパターンニングする場合、表面に凹凸のある回折格子上では誘電体膜とフォトリソとの密着性が弱い。このため、ウエットエッチング時のサイドエッチング量が大きくなる。

【0003】したがって、図10(a)に示されているような開口幅一定のフォトリソパターンを用いると、同図(b)に示されているようにウエットエッチング後のSiO₂開口パターンが回折格子領域で広がってしまう。同様に、図11(a)に示されているようにストライプ状に誘電体マスクを形成する場合は、同図(b)に示されているように回折格子領域上でストライプ幅が狭くなってしまう。

【0004】上述したように、光半導体装置において、回折格子の有無によってパターンニング幅に不連続性が発生してしまうと、部分回折格子を有する光導波路デバイスの作製において導波路幅が急激に変化してしまう。その結果、回折格子形成領域と非回折格子領域との間で導波光の散乱が発生してしまう。また図10(b)のようなSiO₂パターンを用いて選択成長によって光導波路を形成すると、回折格子形成領域と非回折格子領域とで異なる結晶が成長されてしまい導波光に対して過剰な吸

収損失等が発生してしまう。

【0005】

【発明が解決しようとする課題】上述した従来技術においては、選択成長用マスクとして用いる誘電体ストライプマスクをフォトリソによってパターンニングする場合、フォトリソの密着性が凹凸の存在する回折格子形成領域で弱いため、フォトリソを用いて誘電体層をエッチングすると、回折格子形成領域でのサイドエッチング量が非回折格子形成領域でのサイドエッチング量よりも大きくなってしまふ。そのため選択成長領域なるマスク開口幅が、回折格子形成領域で広がってしまふ。このため、半導体層の一部領域に回折格子が形成されている部分回折格子構造上へ選択成長によって直接光導波路を形成する場合、回折格子形成領域と非回折格子形成領域とで導波路幅が不連続に変化してしまい、過剰な光学的損失が発生してしまうという欠点がある。

【0006】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は部分回折格子基板上へMOVPE選択成長によって直接形成する、半導体レーザの活性層等の半導体光導波路構造において、導波路幅を回折格子の有無に係わらず一定とすることにより光学的損失の少ない良好な光導波路構造を実現できる半導体光導波路構造及びその製造方法を提供することである。

【0007】

【課題を解決するための手段】本発明による半導体光導波路構造は、半導体層上において回折格子が形成された回折格子形成領域とそれ以外の非形成領域とに跨がって形成される光導波路を含む半導体光導波路構造であって、前記回折格子形成領域における光導波路の幅と前記非形成領域における光導波路の幅とが等しいことを特徴とする。

【0008】また、前記半導体層上における前記回折格子形成領域の前記光導波路の高さは前記非形成領域の前記光導波路の高さよりも大でありこの異なる高さを繋ぐスロープ部が前記回折格子形成領域と前記非形成領域との境界に設けられていることを特徴とする。

【0009】さらに、前記光導波路は、回折格子形成領域と非形成領域との間でマスク開口幅に不連続が存在しない誘電体マスクを用い、該マスクの開口領域に対する選択成長法によって形成されるか、または、回折格子形成領域と非形成領域との間でマスク幅に不連続が存在しない誘電体マスクに対する選択エッチングにより形成されることを特徴とする。

【0010】本発明による半導体光導波路構造の製造方法は、一部領域に回折格子が形成された半導体層上へ誘電体膜を形成する工程と、この形成された誘電体膜上に、前記回折格子が形成された領域上のマスク開口幅が、それ以外の非形成領域上のマスク開口幅よりも狭いストライプ状のフォトリソマスクを形成する工程

と、前記フォトリソマスクを用いてエッチングによりストライプ状誘電体膜を形成する工程とを含み、前記ストライプ状誘電体膜をマスクパターンとして用いた選択成長法によって光導波路に相当する半導体構造を形成することを特徴とする。

【0011】また、前記回折格子が形成された領域上のマスク開口幅とそれ以外の非形成領域上のマスク開口幅との差が、前記回折格子が形成された領域におけるサイドエッチング量とそれ以外の非形成領域におけるサイドエッチング量との差に等しいことを特徴とする。

【0012】本発明による他の半導体光導波路構造の製造方法は、一部領域に回折格子が形成された半導体層上へ誘電体膜を形成する工程と、この形成された誘電体膜上に、前記回折格子が形成された領域上のマスク幅が、それ以外の非形成領域上のマスク幅よりも広いストライプ状のフォトリソマスクを形成する工程と、前記フォトリソマスクを用いてエッチングによりストライプ状誘電体膜を形成する工程とを含み、前記ストライプ状誘電体膜をマスクパターンとして用いたエッチングによって光導波路に相当する半導体メサ構造を形成することを特徴とする。

【0013】また、前記回折格子が形成された領域上のマスク幅とそれ以外の領域上のマスク幅との差が、前記回折格子が形成された領域におけるサイドエッチング量とそれ以外の領域におけるサイドエッチング量との差に等しいことを特徴とする。

【0014】要するに本発明では、部分的に回折格子が形成された半導体層上へ選択成長によって直接形成する光導波路構造の導波路幅において不連続点がない構造とすることにより、導波光の光学的損失を抑制しているのである。

【0015】先述したように、導波路方向の一部領域に回折格子が形成されている半導体層上へ、フォトリソとウェットエッチングによりSiO₂等の誘電体膜をパターンニングする場合、表面に凹凸のある回折格子上では誘電体膜とフォトリソとの密着性が弱いためウェットエッチング時のサイドエッチング量が大きくなる。

【0016】したがって、図10(a)に示されているような開口幅一定のフォトリソパターンを用いると、図10(b)に示されているようにウェットエッチング後のSiO₂開口パターンが回折格子領域で広がってしまう。同様に、図11(a)に示されているようにストライプ状に誘電体マスクを形成する場合は、図11(b)に示されているように回折格子領域上でストライプ幅が狭くなってしまふ。

【0017】このように回折格子の有無によってパターンニング幅に不連続性が発生してしまうと、部分回折格子を有する光導波路デバイスの作成において導波路幅が急激に変化してしまい、その結果、回折格子形成領域と非回折格子領域との間で導波光の散乱が発生してしまう。

10

20

30

40

50

また図10(b)に示されているような SiO_2 パターンを用いて選択成長によって光導波路を形成すると、回折格子形成領域と非回折格子形成領域とで異なる結晶が成長されてしまい導波光に対して過剰な吸収損失等が発生してしまう。

【0018】これらの従来技術に対し、本発明は回折格子形成領域と非回折格子形成領域との間に発生する誘電体マスクパターン幅に不連続性がない構造及びその構造を実現するための方法を提供するものである。基本的な考え方は、図10、図11で説明した回折格子形成領域上にパターニングされたフォトレジストの過剰なサイドエッチング量を打ち消すようなフォトレジストパターンとすることである。

【0019】具体的には回折格子形成領域でのフォトレジストマスクの開口幅を非回折格子形成領域でのそれよりも狭くすれば良い。またストライプマスクを形成する場合は、回折格子形成領域でのフォトレジストマスク幅を非回折格子形成領域でのそれよりも広くすれば良い。回折格子形成領域と非回折格子形成領域でのフォトレジストパターンの相違量は、両領域でのフォトレジストのサイドエッチング量の差と等しく設計すれば良い。

【0020】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0021】図1は本発明による半導体光導波路構造の実施の一形態を示す斜視図である。同図を参照すると、本実施形態では、一部領域に回折格子が形成された半導体層上への光導波路構造の形成において、光導波路形成用誘電体マスク開口幅が、回折格子形成領域と非回折格子形成領域とで等しくなるようにフォトレジストを形成する。具体的には、図1(a)のように、回折格子102の形成領域でのフォトレジスト104のマスク開口幅を非回折格子形成領域でのそれよりも狭くすれば良い。なお、同図において、101はInP基板、103は SiO_2 膜である。

【0022】そして、フォトレジスト104によるマスクを用いて、 SiO_2 膜103をエッチングする。その後フォトレジスト104を除去すると、図1(b)のように開口幅が回折格子形成領域、非回折格子形成領域ともに一定幅の SiO_2 膜103によるマスクが完成する。

【0023】また、図2を参照すると、本実施形態では、一部領域に回折格子が形成された半導体層上への光導波路構造の形成において、光導波路形成用誘電体マスク幅が回折格子形成領域と非回折格子形成領域とで等しくなるよう形成する。具体的には、図2(a)のように、回折格子302の形成領域でのフォトレジスト304のマスク幅を非回折格子形成領域でのそれよりも広く

すれば良い。なお、同図において、301はInP基板、303は SiO_2 膜である。

【0024】そして、フォトレジスト304によるマスクを用いて、バッファードフッ酸によって SiO_2 膜103をエッチングする。その後フォトレジスト104を除去すると、図2(b)のように開口幅が回折格子形成領域、非回折格子形成領域ともに一定幅の SiO_2 膜103によるマスクが完成する。

【0025】

【実施例】図1(a)に示されているように、(100)n-InP基板101上に回折格子102を部分的に[01-1]方向と平行に形成したのち、熱化学気相堆積法(熱CVD: Chemical Vapor Deposition)で100nm厚の SiO_2 膜103を堆積させた後、[01-1]方向(導波路の長さ方向に平行な方向)に一对のフォトレジスト104によるマスクをパターニングする。この時パターン開口幅を回折格子形成領域では1.2 μm 、非回折格子形成領域では1.4 μm としておく。このフォトレジスト104によるマスクを用いて、バッファードフッ酸によって SiO_2 膜103をエッチングする。その後フォトレジスト104によるマスクを除去すると、図1(b)のように開口幅が回折格子形成領域、非回折格子形成領域ともに1.5 μm 一定の SiO_2 膜103のマスクが完成する。この SiO_2 膜103のマスクを用いて、有機金属気相成長法(MOVPE: Metal-Organic Vapor Phase Epitaxy)等によりマスク開口領域へ半導体光導波路を選択成長すると、回折格子形成領域、非回折格子形成領域で幅の等しい光導波路を形成できる。

【0026】図2(a)及び(b)に示されているようなストライプマスクを形成する場合も上記図1の場合と同様である。

【0027】次に、選択成長によって直接半導体光導波路を形成する手法によって、電界吸収型(EA: Electro-Absorption)光変調器集積分布帰還(DFB: Distributed Feedback)半導体レーザ(LD: Laser Diode)に応用した例について説明する。図3、図4及び図5はEA変調器集積型DFB-LDの製造工程順序を示す断面図である。(100)n-InP基板201上へ二光束干渉露光とウェットエッチングにより回折格子202を[01-1]方向と平行に形成する。ここでは、回折格子形成領域長800 μm 、非形成領域長400 μm の繰返しパターンとした。

【0028】図3(a)にはその半周期分(回折格子形成領域400 μm +非回折格子形成領域200 μm)が示されている。また、回折格子自体の周期は240nm、深さは50nmとした。その後、熱CVDで100nm厚の SiO_2 膜203を堆積させた後[011]方向に一对のフォトレジスト204のパターンを形成する。フォトレジストパターン204の開口幅(Wo)は

回折格子形成領域では $1.2\mu\text{m}$ 、非回折格子形成領域で $1.4\mu\text{m}$ とした。なお、図3(a)において、10はDFB-LD領域、20はEA変調器領域である。

【0029】また、図3(a)に示されているように、マスク幅(Wm)は、回折格子形成領域部($400\mu\text{m}$ 長)のDFB-LD領域10で $15.3\mu\text{m}$ 、遷移領域に当たる $25\mu\text{m}$ 長の非回折格子形成領域部のDFB-LD領域で $15.2\mu\text{m}$ 、EA変調器領域20($175\mu\text{m}$ 長)で $5.2\mu\text{m}$ とした。このフォトリソ204を用いてバッファードフッ酸により SiO_2 膜203をエッチングした。その結果、図3(b)に示されているように、DFB-LD領域での SiO_2 パターン開口幅が $1.5\mu\text{m}$ 、マスク幅が $15\mu\text{m}$ 、EA変調器領域での SiO_2 パターン開口幅が $1.5\mu\text{m}$ 、マスク幅が $5\mu\text{m}$ の構成が実現できた。

【0030】この部分回折格子基板上 SiO_2 パターンニング基板へMOVPE成長によって、図4に示されているように、多重量子井戸(MQW: Multi Quantum Well)活性層(吸収層)205を含む光導波路構造をマスク開口領域へ選択成長する。

【0031】成長した光導波路構造は、 n-InGaAsP (バンドギャップ波長 $1.13\mu\text{m}$)ガイド層(50nm 厚)、 n-InP スペーサ層(30nm 厚)、 n-InGaAsP (バンドギャップ波長 $1.20\mu\text{m}$)SCH(Separate Confinement Hetero-structure)層(30nm 厚)、圧縮歪 0.45% を導入した InGaAsP 井戸層(6nm 厚)、 InGaAsP (バンドギャップ波長 $1.13\mu\text{m}$)障壁層(8nm)が8周期からなるMQW層、 InGaAsP (バンドギャップ波長 $1.20\mu\text{m}$)SCH層(30nm 厚)、 p-InP 層(100nm 厚)から構成されている。なお、上記の各値は、マスク幅 $5\mu\text{m}$ のEA変調器領域での値であり、マスク幅 $15\mu\text{m}$ のDFB-LD領域では各層厚が選択成長効果によって1.4倍となっている。光導波路構造のMOVPE選択成長後、顕微フォトルミネッセンス測定によってMQW構造のバンドギャップ波長を測定したところ、EA変調器領域では $1.48\mu\text{m}$ 、DFB-LD領域では $1.55\mu\text{m}$ であった。

【0032】ここで、MQW活性層205が、上面を(100)面、側面Sを(111)B面という結晶面で囲まれた、台形状の導波路構造が自動的に形成される。このように、本製造方法によれば、選択成長によって鏡面である(100)、(111)B結晶面に囲まれた理想的な光導波路構造を自動的に作製することが可能であり、また回折格子形成領域と非形成領域とで導波路幅が一定であるため、EA変調器とDFB-LDの界面での反射、吸収、散乱損失を抑制でき、低閾値、高効率、超高速・超長距離伝送が可能となる。

【0033】図5(a)には、図4のA-A'部の断面が示されている。光導波路構造のMOVPE選択成長

後、 SiO_2 膜203によるマスクの一部を図5(b)に示されているように除去し開口幅を $5\mu\text{m}$ とした後、図5(c)に示されているように p-InP 層211によるクラッド層($1.6\mu\text{m}$ 厚)、 p-InGaAs 層212によるキャップ層($0.3\mu\text{m}$ 厚)をMOVPE選択成長によって形成する。結晶成長完了後、EA変調器領域とDFB-LDとの素子分離を行うために、EA変調器領域のDFB-LD側 $25\mu\text{m}$ の p-InGaAs キャップ層を除去した後、電極形成プロセスを経て図6に示されているようなEA変調器集積型DFB-LDとした。なお、図6中の221がp電極、222がn電極である。本構造では、DFB-LD長 $425\mu\text{m}$ 、素子分離長 $25\mu\text{m}$ 、EA変調器長 $150\mu\text{m}$ の計 $600\mu\text{m}$ の素子長となる。

【0034】ここで、DFB-LD側端面に90%反射率コーティング、EA変調器側端面に反射率0.1%以下の無反射コーティングを施して素子特性を評価した。DFB-LDは3mAでレーザ発振し、EA変調器側から測定したスロープ効率は 0.35W/A と、低しきい値、高効率動作が確認され、DFB-LDに50mAの電流を注入した状態で17mWの光出力が得られた。これは選択成長で形成したMQW構造を含む半導体光導波路が、素子長全領域に渡って同じ幅で形成されているため、過剰な散乱損失や吸収損失が低く抑えられているためである。

【0035】また、EA変調器に-2Vの電圧を印加した時の消光比は-25dBと大きな消光比が得られ、-1V印加時の帯域は6GHzであった。DFB-LDに50mA注入した状態で、変調器バイアスを-2Vと0Vとの間で、 2.5Gb/s 変調させ、 $1.3\mu\text{m}$ 零分散通常ファイバ1200kmの伝送実験を行ったところ、パワーペナルティ-0.7dBで伝送できた。このように超長距離伝送が達成される大きな要因は以下の通りである。回折格子形成領域の境界部においても光導波路幅に不連続がないため、変調動作時にもDFB-LDへの反射戻り光が極めて少なく、波長変動(波長チャージング)が非常に低く抑えられているためである。

【0036】次に、本発明の実施の他の形態について説明する。本実施形態は、アナログ伝送用の部分回折格子半導体レーザ(PC: Partially corrugated-LD)に本発明を適用した例である。図7及び図8は、その製造工程順序を示す断面図である。図7(a)に示されているように、(100) n-InP 基板401上へMQW活性層405、 p-InP 層406によるスペーサ層(30nm 厚)、 p-InGaAsP 層(バンドギャップ波長 $1.13\mu\text{m}$)407によるガイド層(80nm 厚)を全面にMOVPE成長する。MQW活性層405は次のような構成とした、 n-InGaAsP (バンドギャップ波長 $1.13\mu\text{m}$)SCH層(60nm 厚)、1.0%圧縮歪導入の InGaAsP 井戸層(5nm)

10

20

30

40

50

とInGaAsP(バンドギャップ波長1.13 μm)障壁層(10nm)で構成される量子井戸が7周期のMQW構造、InGaAsP(バンドギャップ波長1.13 μm)SCH層(60nm厚)である。フォトルミネッセンス測定によりMQW構造のバンドギャップ波長を測定したところ、1.295 μm であった。

【0037】次に、p-InGaAsP層407によるガイド層上の一部領域に二光束干渉露光法とウェットエッチングにより回折格子402を[01-1]方向と平行に形成した。回折格子周期は202nm、深さは30nmとした。また、回折格子形成領域200 μm 、非回折格子形成領域400 μm を1周期として部分回折格子を形成した。PC-LD1素子はこの半分の長さで構成され、共振器長300 μm の内片側端面部100 μm の領域に回折格子が形成された構造となる。

【0038】上記の回折格子形成基板上へ、熱CVDにより100nm厚のSiO₂膜403を堆積させた後[011]方向にストライプ状のフォトレジスト404のパターンを形成する。図7(a)において、フォトレジスト404のパターン幅は回折格子形成領域では1.7 μm 、非回折格子形成領域で1.6 μm とした。フォトレジスト404をマスクとしてバッファードフッ酸によりSiO₂膜403をエッチングした後フォトレジスト404を除去したものが図7(b)に示されている。SiO₂膜403は回折格子形成領域、非回折格子形成領域ともに幅1.5 μm のストライプ形状となった。

【0039】次に、図8(a)に示されているようにこのSiO₂膜403によるストライプマスクを用いてn-InP基板401までエッチングを行う。その後、図8(b)に示されているように、MOVPEによって電流ブロック構造による埋め込み成長を行う。埋め込み層は、p-InP層408によるブロック層(1 μm 厚)、n-InP層409によるブロック層(1 μm 厚)、p-InP層410によるカバー層(0.1 μm 厚)からなる。

【0040】その後、SiO₂膜403によるマスクを除去し、全面にp-InPクラッド層411(2 μm 厚)、p-InGaAsキャップ層412(0.3 μm 厚)を全面にMOVPE成長する。そして、電極形成プロセスを行い、図9に示されているようなPC-LDとした。なお、図9中の421がp電極、422がn電極である。

【0041】ここで、回折格子が形成されている側の端面に反射率1%、回折格子の形成されていない側の端面に反射率75%のコーティング膜を形成し、素子特性の評価を行った。レーザ発振しきい値は6mA、スローブ効率0.6W/A、シングル縦モード発振を維持できる最大光出力は60mW以上であった。79チャンネル、変調度3.5%の条件で評価した複合2次歪は、光出力10~30mWの広範囲で-65dBc以下の低歪特性

が確認された。複数のウエハからランダムに抽出した2,500素子の内、67%にあたる1675素子が光出力40mW以上までシングルモード性を維持しており、歪特性も光出力10~30mWの広範囲で-60dBc以下であった。このように高い歩留りでアナログ特性が実現できた大きな要因は、回折格子形成領域の境界部においても光導波路幅に不連続がないため、共振器内部での光のフィールドが理論通りの分布を実現できるためである。

10 【0042】なお、以上の実施例の説明では、InP基板上又はInP基板に成長されたInGaAsP層に部分的に形成された回折格子を有する半導体光導波路素子についてのみ説明した。しかしながら、本発明の趣旨は回折格子上と平坦上でのフォトレジストの密着性の違いに起因したマスクパターンのずれをなくすることであるため、用いる材料は上記の半導体材料に限定されるものではない。すなわち、3族の元素(インジウム、ガリウム、アルミニウム等)を少なくとも1種類用い、かつ、5族の元素(磷、砒素、窒素、アンチモン)を少なくとも1種類用いて光導波路を形成すれば良い。

20 【0043】以上のように本発明によれば、選択成長によって直接形成された半導体光導波路の導波路幅が回折格子形成領域と非回折格子形成領域とで等しくでき、回折格子形成領域の境界部で過剰な散乱損失を抑制できるので、半導体層の一部領域に回折格子が形成されている部分回折格子構造上へ直接選択成長によって形成された半導体光導波路において、光学的損失の少ない良好な光導波路構造を実現できるのである。

30 【0044】また、回折格子形成領域の境界部にあたるEA変調器とDFB-LDの界面での反射、吸収、散乱損失を抑制できるので、EA変調器集積型DFB-LDに上記の構造を採用することにより、低しきい値、高効率、超高速・超長距離伝送が可能となるのである。

40 【0045】さらにまた、選択成長によって直接形成された半導体光導波路の導波路幅を、回折格子形成領域と非回折格子形成領域とで等しくすることができ、回折格子形成領域の境界部で過剰な散乱損失を抑制できるので、半導体層の一部領域に回折格子が形成されている部分回折格子構造をフォトレジストマスクを転写した誘電体をマスクとして、エッチングにより形成された半導体光導波路において、光学的損失の少ない良好な光導波路構造を実現できるのである。

50 【0046】そして、回折格子形成領域の境界部においても光導波路幅に不連続がないため、回折格子形成領域の境界部で過剰な散乱損失、反射損失を抑制でき、部分回折格子レーザ(PC-LD)に上記の構造を採用することにより、高歩留りで、低しきい値、高効率、低歪特性が実現できるのである。

【0047】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0048】(1) 前記3族の元素は、インジウム、ガリウム及びアルミニウムであることを特徴とする請求項6記載の半導体光導波路構造。

【0049】(2) 前記5族の元素は、磷、砒素、窒素及びアンチモンであることを特徴とする請求項6記載の半導体光導波路構造。

【0050】(3) 前記3族の元素は、インジウム、ガリウム及びアルミニウムであることを特徴とする請求項12記載の半導体光導波路構造の製造方法。

【0051】(4) 前記5族の元素は、磷、砒素、窒素及びアンチモンであることを特徴とする請求項12記載の半導体光導波路構造の製造方法。

【0052】

【発明の効果】以上説明したように本発明は、選択成長によって直接形成された半導体光導波路の導波路幅が回折格子形成領域と非回折格子形成領域とで等しくでき、回折格子形成領域の境界部で過剰な散乱損失を抑制できるので、半導体層の一部領域に回折格子が形成されている部分回折格子構造上へ直接選択成長によって形成された半導体光導波路において、光学的損失の少ない良好な光導波路構造を実現できるという効果がある。

【0053】また、回折格子形成領域の境界部にあたるEA変調器とDFB-LDとの界面での反射、吸収、散乱損失を抑制できるので、EA変調器集積型DFB-LDに上記の構造を採用することにより、低しきい値、高効率、超高速・超長距離伝送が実現できるという効果がある。

【0054】さらにまた、選択成長によって直接形成された半導体光導波路の導波路幅が回折格子形成領域と非回折格子形成領域とで等しくすることができ、回折格子形成領域の境界部で過剰な散乱損失を抑制できるので、半導体層の一部領域に回折格子が形成されている部分回折格子構造をフォトレジストマスクを転写した誘電体をマスクとして、エッチングにより形成された半導体光導波路において、光学的損失の少ない良好な光導波路構造を実現できるという効果がある。

【0055】そして、回折格子形成領域の境界部においても光導波路幅に不連続がないため、回折格子形成領域の境界部で過剰な散乱損失、反射損失を抑制でき、部分回折格子レーザ(PC-LD)に上記の構造を採用することにより、高歩留りで、低しきい値、高効率、低歪特性が実現できるという効果がある。

【図面の簡単な説明】

【図1】(a)及び(b)は本発明の半導体光導波路構造を作成するためのマスクパターン及びその形成工程を示す図である。

【図2】(a)及び(b)は本発明の半導体光導波路構造を作成するための他のマスクパターン及びその形成工程を示す図である。

【図3】(a)及び(b)は本発明の半導体光導波路構造の製造工程順序の実施例を示す断面図である。

【図4】本発明の半導体光導波路構造の製造工程順序を示す断面図である。

【図5】(a)、(b)及び(c)は本発明の実施例を説明するための製造工程順序を示す断面図である。

【図6】本発明の半導体光導波路構造を用いたEA変調集積型DFB-LDの構造を示す図である。

【図7】(a)及び(b)は、本発明の半導体光導波路構造を用いたPC-LDの製造工程順序を示す図である。

【図8】(a)及び(b)は、本発明の半導体光導波路構造を用いたPC-LDの製造工程順序を示す図である。

【図9】本発明の半導体光導波路構造を用いたPC-LDの構造を示す図である。

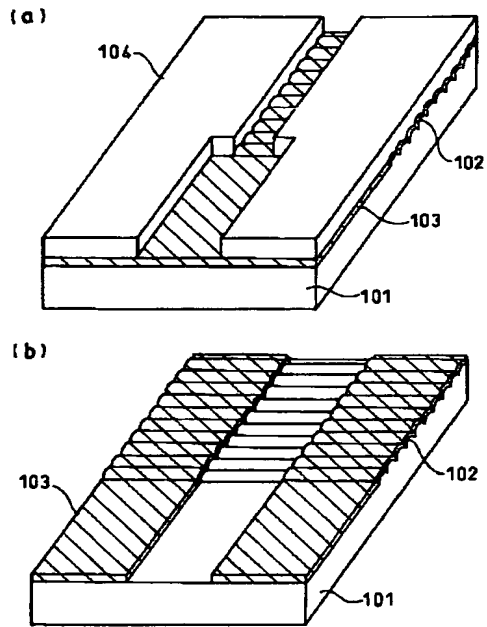
【図10】(a)及び(b)は従来の半導体光導波路構造を作成するためのマスクパターン及びその形成工程を示す図である。

【図11】(a)及び(b)は従来の半導体光導波路構造を作成するための他のマスクパターン及びその形成工程を示す図である。

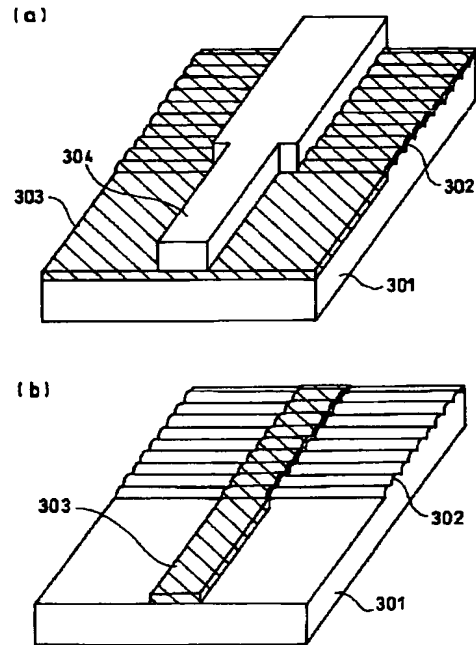
【符号の説明】

101, 201, 301, 401 InP基板
102, 202, 302, 402 回折格子
103, 203, 220, 303, 403 SiO₂膜
104, 204, 304, 404 フォトレジスト
205, 405 MQW活性層
211, 406, 408, 410 p-InP層
212 p-InGaAs層
221, 421 p電極
222, 422 n電極
407 p-InGaAsP層
409 n-InP層

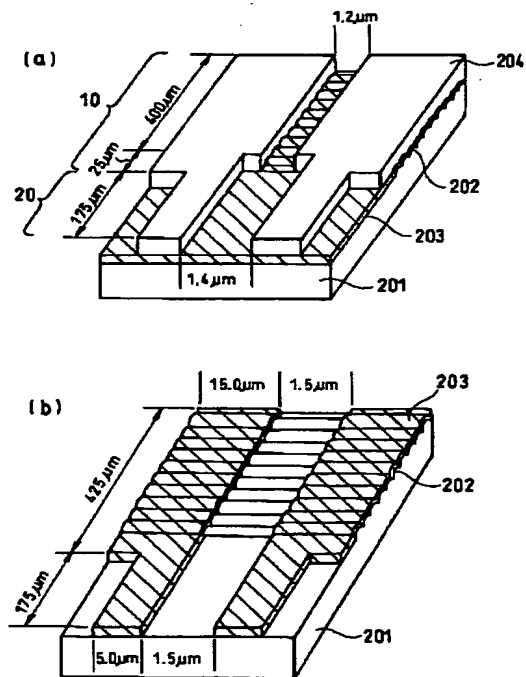
【図1】



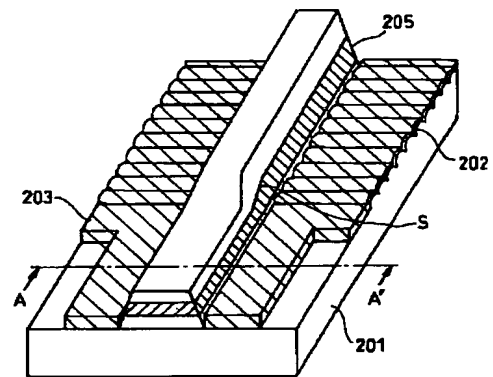
【図2】



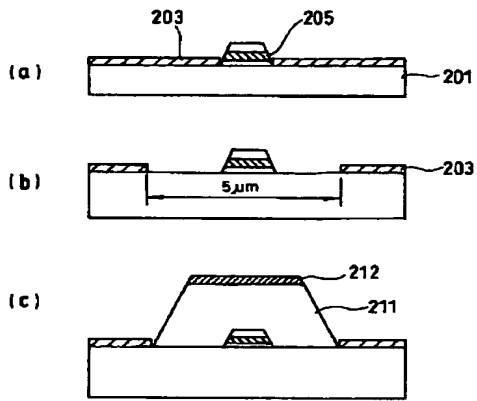
【図3】



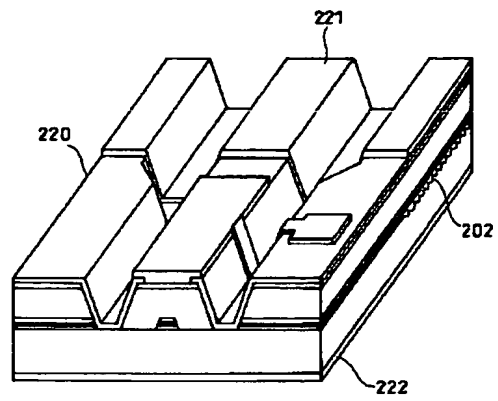
【図4】



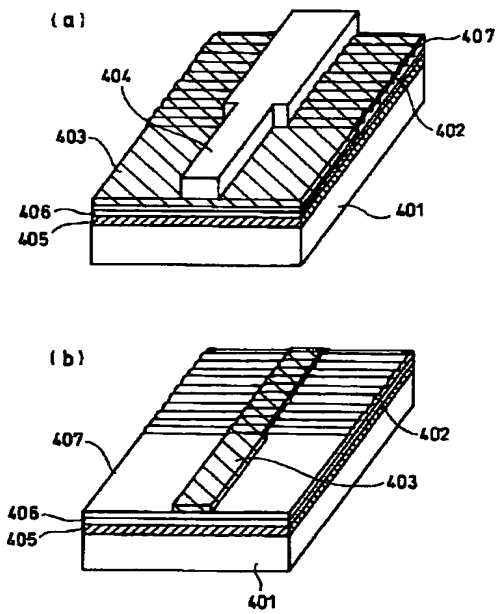
【図5】



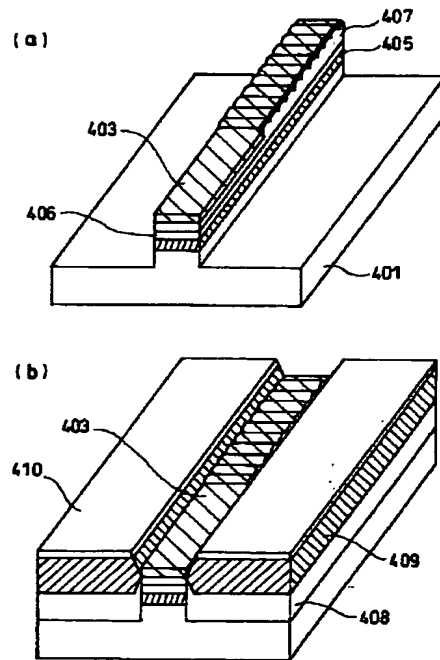
【図6】



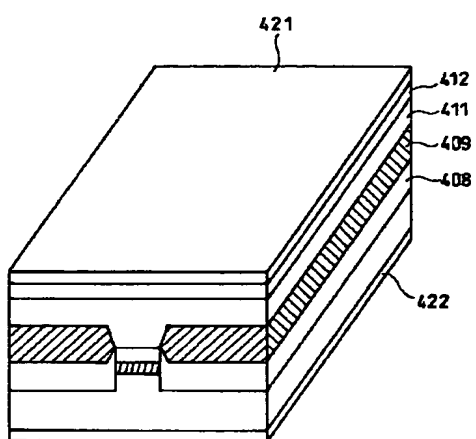
【図7】



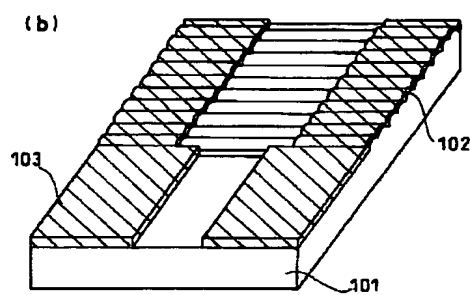
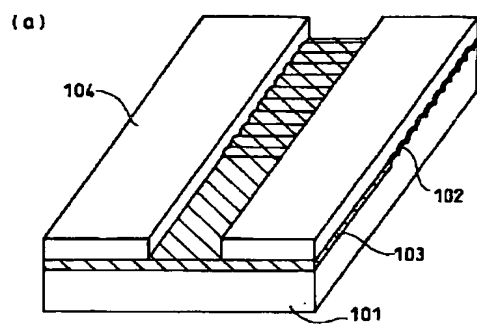
【図8】



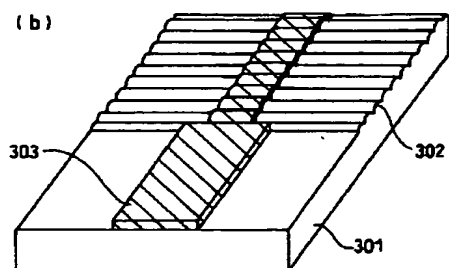
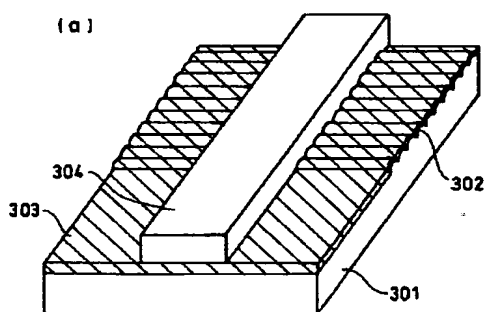
【図9】



【図10】



【図11】



フロントページの続き

F ターム(参考) 2H047 AA04 AA15 BB19 CC07 DD04
EE06 EE21 EE24 GG02 GG07
HH08
2H079 AA02 AA13 BA01 BA05 CA04
DA16 DA25 DA27 EA07 EA27
GA01 HA04 HA15 HA16 JA07
KA18
5F073 AA22 AA45 AA51 AA64 AA74
AB12 AB21 CA12 CB02 CB10
DA05 DA23 DA33 DA35 EA14
EA23 EA29